

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098662

(43)Date of publication of application : 14.04.1998

(51)Int.Cl.

H04N 5/66  
G09G 3/28

(21)Application number : 08-249634

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 20.09.1996

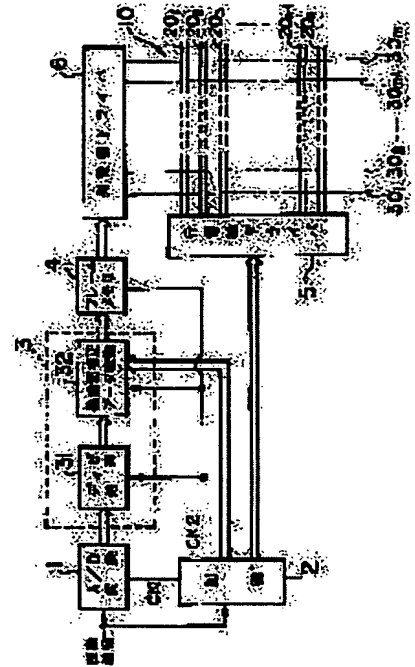
(72)Inventor : SHIGETA TETSUYA

## (54) DRIVING DEVICE FOR SELF-LIGHT EMITTING DISPLAY UNIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To drive a self-light emitting display unit at a non-interlace scanning mode from a video signal generated by interlace scanning while high picture quality is maintained by executing two different picture processings on a pair of picture element data obtained by sampling, obtaining picture processing picture element data and interpolation picture element data and setting them to be picture driving data of odd/even lines.

**SOLUTION:** An A/D converter 1 samples the inputted video signal and supplies corresponding picture element data at every picture element to a picture data processing circuit 3. The picture data processing circuit 3 processes picture element data, reduces the number of bits of picture element data, realizes pseudo intermediate display, generates picture element data compensating a pseudo outline and supplies it to a frame memory 4. The memory 4 sequentially writes picture data outputted from the processing circuit 3, reads them in accordance with timing and supplies them to a column electrode driver 6 as picture element driving data.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項 1】 飛越走査によって生成された映像信号をサンプリングして 1 画素毎に対応した画素データを得る A/D 変換器と、

前記画素データの 1 に対して画像データ処理を施して画像処理画素データを得ると共に前記 1 に対して前記画像データ処理とは異なる画像データ処理を施して補間画素データを得る画像データ処理手段と、

前記画像処理画素データを自発光表示器の奇数行及び偶数行のいずれか一方に対応した画素駆動データとすると共に前記補間画素データを前記奇数行及び偶数行の他方に対応した画素駆動データとして前記自発光表示器を非飛越走査態様に駆動する駆動手段とからなることを特徴とする自発光表示器の駆動装置。

【請求項 2】 前記画像データ処理手段は、前記画素データを第 1 変換テーブルに基づいて変換して第 1 偽輪郭補正画素データを得る第 1 変換手段と、

前記画素データを前記第 1 変換テーブルとは異なる変換テーブルからなる第 2 変換テーブルに基づいて変換して第 2 偽輪郭補正画素データを得る第 2 変換手段と、

前記第 1 及び第 2 偽輪郭補正画素データの内のいずれか一方を前記画像処理画素データとし、他方を前記補間画素データとする選択手段と、からなる偽輪郭補正データ変換回路であることを特徴とする請求項 1 記載の自発光表示器の駆動装置。

【請求項 3】 前記駆動手段は、1 フレームを前記画素駆動データの各ビット桁に対応した発光期間を有する複数のサブフレームに分割し更に重み付けの重いビット桁に対応するサブフレームを複数のサブフレームに分割して配置し、前記画素駆動データに応じたサブフレームにおいてのみ前記自発光表示器の画素を発光せしめるものであり、

前記第 1 及び第 2 変換テーブル各々は、発光期間が等しいサブフレームでの発光実施位置が互いに異なる位置となるように前記画素データのビットパターンを変換する変換パターンであることを特徴とする請求項 1 及び 2 記載の自発光表示器の駆動装置。

【請求項 4】 前記画像データ処理手段は、前記画素データの 1 に第 1 ディザ係数を加算すると共に前記 1 に前記第 1 ディザ係数とは異なる係数値の第 2 ディザ係数を加算してディザ処理を行うディザ処理回路を含むことを特徴とする請求項 1 記載の自発光表示器の駆動装置。

【請求項 5】 前記画像データ処理手段及び前記駆動手段は、前記サンプリングの 2 倍のクロックレートで画像データ処理を行うことにより前記飛越走査によって生成された映像信号を非飛越走査態様の画素駆動データに変換することを特徴とする請求項 1 記載の自発光表示器の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、自発光表示器の駆動装置に関する。

【0002】

【従来の技術】 自発光画像表示器としてのプラズマディスプレイパネルを階調表示させる方法として、1 フレーム（フィールド）の表示期間を、N ビット表示データの各ビット桁の重み付けに対応した時間だけ発光する N 個のサブフレーム（サブフィールド）に分割して表示する方法（いわゆるサブフィールド法）が知られている。

【0003】 例えば、画素データが 8 ビットの場合には、1 フレームの表示期間を重み付けの重い順に、SF8、SF7、SF6・・・、SF1 なる 8 個のサブフレームに分割する。この際、各サブフレーム SF8～SF1 では、順に、128 パルス、64 パルス、32 パルス、16 パルス、8 パルス、4 パルス、2 パルス、1 パルスの発光が行われる。これら 8 個のサブフレームによる発光により 256 階調の表示が為されるのである。

【0004】 しかしながら、かかる階調表示方法では、例えば、平坦な映像でその階調レベルが 128、64 等の如き 2 の n 乗境界を横切る付近で、あたかも階調が失われた映像のような露状の偽輪郭が視認され、表示品質を著しく損ねてしまうという問題がある。そこで、例えば、特開平 7-271325 号公報において、重み付けの重いサブフレームを複数個に等分割して分離して配置し、発光時間（発光回数）が等しいサブフレームの発光順が異なる複数の発光パターンを用意しておき、画素毎にその発光パターンを変更すること（偽輪郭補正データ変換）により、偽輪郭を低減するようにした階調表示方法が提案されている。

【0005】 ところが、かかる階調表示方法では、結果として 1 フレーム期間内のサブフレームの数が増加してしまう。又、画質を向上させるべく画素データのビット数を増やすと、1 フレーム期間内のサブフレームの数は更に増加してしまう。このように、1 フレーム期間内のサブフレームの数が増加すると、プラズマディスプレイパネルを点灯発光させる為のアドレス期間が増大し、それ故に、発光期間としてのサステイン期間が相対的に短くなって最大輝度の低下を招く。

【0006】 そこで、画素データのビット数（サブフレーム数）を減らして疑似中間表示を行うディザ処理を実施する。かかるディザ処理では、隣接する複数個の画素により 1 つの中間表示レベルを表現する。例えば、8 ビットの画素データの内の上位 6 ビットの画素データを用いて 8 ビット相当の階調表示を行う場合、先ず、左右、上下に隣接する 4 つの画素を 1 組とし、各画素毎に異なるディザ係数を画素データに加算する。次に、このディザ係数が加算された画素データの上位 6 ビットを抽出し、これを表示パネルの駆動信号として用いる。かかるディザ処理によれば、4 画素で 4 つの異なる中間表示レベルの組み合わせが発生し、6 ビット階調表示レベルの

4倍、すなわち、8ビット相当の中間調表示を実現出来るのである。

【0007】ここで、プラズマディスプレイにおいて、NTSC方式、又はハイビジョン方式等の如き、飛越走査によって生成された映像信号に基づいて画像表示を行う場合、その発光輝度の低さを補うべく、画面の奇数行（偶数行）に対応した画素データをそのまま偶数行（奇数行）にも割り当てて補間し、順次走査（非飛越走査）にて表示駆動を実施するようにしている。

【0008】しかしながら、前述した如き偽輪郭補正データ変換及びディザ処理を施してから、上述の如き方法により非飛越走査を実施すると、縦方向の2画素で同じ画素データによる発光が行われるので、ディザ処理の影響によるノイズ、及び偽輪郭補正によるドット妨害等の弊害が目立ちやすくなるという問題が発生した。

【0009】

【発明が解決しようとする課題】従って、本発明の目的は、高画像品質を維持しつつ、飛越走査によって生成された映像信号から、非飛越走査態様に自発光表示器を駆動することが出来る自発光表示器の駆動装置を提供することにある。

【0010】

【課題を解決するための手段】上記した目的を達成するために、本発明による自発光表示器の駆動装置は、飛越走査によって生成された映像信号をサンプリングして1画素毎に対応した画素データを得るA/D変換器と、前記画素データの1に対して画像データ処理を施して画像処理画素データを得ると共に前記1に対して前記画像データ処理とは異なる画像データ処理を施して補間画素データを得る画像データ処理手段と、前記画像処理画素データを自発光表示器の奇数行及び偶数行のいずれか一方に対応した画素駆動データとすると共に前記補間画素データを前記奇数行及び偶数行の他方に対応した画素駆動データとして前記自発光表示器を非飛越走査態様に駆動する駆動手段とからなる。

【0011】

【発明の実施の形態】以下、本発明の実施例を図1以下の図面を参照しつつ説明する。図1は、本発明による駆動装置を備えたプラズマディスプレイ装置の概略構成を示す図である。図1において、A/D変換器1は、入力された映像信号を、制御回路2から供給されてくる周波数:1/sなる第1クロック信号CK1に応じてサンプリングすることにより、1画素毎に対応したNビットの画素データDを得て、これを順次、画像データ処理回路3に供給する。

【0012】画像データ処理回路3は、制御回路2から供給されてくる周波数:(2・1/s)なる第2クロック信号CK2に応じてデータ処理を遂行するディザ処理回路31及び偽輪郭補正データ変換回路32から構成されている。これらディザ処理回路31及び偽輪郭補正データ変

換回路32は、上記画素データDに対して後述する処理を施すことにより、画素データのビット数を減らして疑似中間調表示を実現し、かつ、偽輪郭を補償した画素データを生成し、これをフレームメモリ4に供給する。

【0013】フレームメモリ4は、上記制御回路2から供給されてくる第2クロック信号CK2のタイミング毎に、かかる画像データ処理回路3から出力されてくる画素データを順次書き込む。更に、フレームメモリ4は、この書き込まれた画素データを第2クロック信号CK2のタイミングに応じて読み出し、これを画素駆動データとして列電極ドライバ6に供給する。

【0014】制御回路2は、上述した如き第1クロック信号CK1及び第2クロック信号CK2を発生すると共に、入力された映像信号の水平及び垂直同期信号に応じて、リセットタイミング信号、走査タイミング信号、維持タイミング信号、及び消去タイミング信号を発生して行電極ドライバ5に供給する。行電極ドライバ5は、これら各種のタイミング信号に応じて、残留電荷量を初期化するためのリセットパルス、画素データを書き込むための走査パルス、放電発光状態を維持するための維持パルス、放電発光を停止させるための消去パルスを発生し、これらをPDP（プラズマディスプレイパネル）10の行電極対201～行電極対20nに印加する。この際、上記走査パルスは、順次走査にて行電極対201から20nへと印加されていく。

【0015】列電極ドライバ6は、上記フレームメモリ4から読み出されてくる1フレーム分の画素駆動データを同一重み付け桁のビット毎に分離し、そのビットの論理値「1」及び「0」夫々に対応した電圧値を有する画素データパルスを発生してPDP10の列電極301～30mに印加する。PDP10は、列電極ドライバ6から画素データパルスが印加されている間に行電極ドライバ5から走査パルスが印加されると、この印加された画素データパルスに対応した電荷がPDP10に書き込まれる。この際、例えば論理「1」に対応した画素データパルスが印加された列電極と、走査パルスが印加された行電極対との交差部に発光が生じる。尚、かかる交差部が、図2に示されるが如きPDP10の画面上における各画素Gに相当する。その後、行電極ドライバ5から維持パルスが印加されると、この維持パルスが印加されるパルス数に応じた時間だけ上記の発光状態が維持される。視覚上においては、かかる発光状態が維持されている時間に応じた輝度が感じられる。

【0016】次に、上記画像データ処理回路3の動作について、図3に示される内部動作波形を参照しつつ説明する。図4は、かかる画像データ処理回路3におけるディザ処理回路31の内部構成を示す図である。図4において、映像信号に対応した各画素毎のNビット画素データDは、図3に示されるが如く周波数:1/sなる第1クロック信号CK1毎に順次、加算器320に供給される。

この際、かかる映像信号は飛越定数にて生成されたものである。図2に示されるPDP10の画素群の内、先ず、奇数行の画素群に対応した画素データが供給され、その後、偶数行の画素群に対応した画素データが供給される。例えば、図3に示されるように、図2における第1行目の画素G11~G1m天々に対応した画素データD11~D1mが供給された後には、次の奇数行である第3行目の画素G31~G3m天々に対応した画素データD31~D3mが供給されるのである。1画面の最終奇数行の画素Gn1~Gnm天々に対応した画素データDn1~Dnmが供給されると、次に、最初の偶数行である画素G21~G2m天々に対応した画素データD21~D2mが供給されるのである。

【0017】ディザ発生回路310は、図3に示されるが如く周波数 $(2 \cdot 1/s)$ の第2クロック信号CK2毎にディザ係数a、ディザ係数c、ディザ係数b、及びディザ係数dを循環して繰り返し発生し、これを加算器320に供給する。加算器320は、A/D変換器1から順次供給されてくる画素データDに、かかるディザ係数を加算し、この際得られたディザ加算画素データを上位ビット抽出回路330に供給する。

【0018】例えば、図3において、第1行第1列の画素データD11には、先ず、ディザ係数aが加算されてディザ加算画素データ(D11+a)が得られ、次に、ディザ係数cが加算されてディザ加算画素データ(D11+c)が得られる。続いて、第1行第2列の画素データD12には、先ず、ディザ係数bが加算されてディザ加算画素データ(D12+b)が得られ、次に、ディザ係数dが加算されてディザ加算画素データ(D12+d)が得られるのである。

【0019】すなわち、一つの画素データに対して2つの異なるディザ係数(ディザ係数a及びc、又はディザ係数b及びd)が天々加算され、新たに2つのディザ加算画素データが生成されるのである。上位ビット抽出回路330は、かかるディザ加算画素データの上位Mビット分までを抽出し、これをディザ処理画素データZとして、後段の偽輪郭補正データ変換回路32に供給する。

【0020】尚、上記Nが8であり、かつ上記Mが6である場合、すなわち、A/D変換器1から供給されてくる各画素毎の画素データDが8ビットであり、かつ、上位ビット抽出回路330によって抽出される上位ビット数が6である場合には、ディザ係数a~dなるパターンを、

【0021】

【数1】ディザ係数a=0

ディザ係数b=3

ディザ係数c=2

ディザ係数d=1

とする。

【0022】図5は、かかる偽輪郭補正データ変換回路

32の内部構成を示す図である。図5において、第1変換回路321は、上記ディザ処理回路31から供給されてくる例えば6ビットのディザ処理画素データZを、図6及び図7に示されるが如き第1モード変換テーブルに基づいて8ビットの画素データに変換し、これを偽輪郭補正画素データAZとしてセクタ322に供給する。一方、第2変換回路323は、上記ディザ処理回路31から供給されてくる例えば6ビットのディザ処理画素データZを、図6及び図7に示されるが如き第2モード変換テーブルに基づいて8ビットの画素データに変換し、これを偽輪郭補正画素データBZとしてセクタ322に供給する。

【0023】尚、かかる図6及び図7に示される偽輪郭補正画素データAZ(BZ)の各ビットにおける論理値「0」は非発光、論理値「1」は発光を指定するものであり、その1フレーム期間中における発光期間は、図8の発光期間フォーマットに従っている。例えば、かかる偽輪郭補正画素データAZのビット7は、図6のサブフレームSF4での発光に対応しており、その論理値が「1」である場合に、期間"8"だけ発光を行う。又、ビット6は、サブフレームSF61での発光に対応しており、その論理値が「1」である場合に、期間"16"だけ発光を行う。又、ビット5は、サブフレームSF2での発光に対応しており、その論理値が「1」である場合に、期間"2"だけ発光を行う。又、ビット4は、サブフレームSF51での発光に対応しており、その論理値が「1」である場合に、期間"8"だけ発光を行う。又、ビット3は、サブフレームSF3での発光に対応しており、その論理値が「1」である場合に、期間"4"だけ発光を行う。又、ビット2は、サブフレームSF1での発光に対応しており、その論理値が「1」である場合に、期間"1"だけ発光を行う。又、ビット1は、サブフレームSF62での発光に対応しており、その論理値が「1」である場合に、期間"16"だけ発光を行う。更に、ビット0は、サブフレームSF52での発光に対応しており、その論理値が「1」である場合に、期間"8"だけ発光を行う。かかるSF1~SF6による発光期間の総和が輝度レベルに相当するのである。

【0024】この際、重み付けの重いサブフレームであるサブフレームSF6(発光期間"32"に相当)については、各々が発光期間"16"であるサブフレームSF61及びSF62に分割して配置されている。更に、重み付けの重いサブフレームであるサブフレームSF5(発光期間"16"に相当)については、各々が発光期間"8"であるサブフレームSF51及びSF52に分割して配置されている。ここで、1フレーム期間内での総発光期間が等しく、かつ発光期間が等しいサブフレームでの発光実施位置が互いに異なる2つの変換パターンを、第1モード変換テーブル及び第2モード変換テーブルにて用意して偽輪郭の低減を計るのである。

【0025】例えば、図6において、輝度レベル16に相当する偽輪郭補正画素データAZによれば、図8に示されるサブフレームSF4及びSF51の位置で夫々期間“8”の発光が実施されるが、輝度レベル16に相当する偽輪郭補正画素データBZでは、サブフレームSF51及びSF52の位置で夫々期間“8”の発光が実施されるのである。

【0026】このように、輝度レベルが同一であっても、隣接する画素間において、1フレーム期間中に発光を生じさせる位置をずらすことにより、偽輪郭を低減するのである。かかる発光駆動が、前述した行電極ドライバ5及び列電極ドライバ6にて実施される。

【0027】尚、上記第1変換回路321及び第2変換回路323によるデータ変換は、上記第2クロック信号CK2に同期して実行される。セクタ322は、第1変換回路321から供給された偽輪郭補正画素データAZ、及び第2変換回路323から供給された偽輪郭補正画素データBZの内、制御回路2から供給される図3に示されるか如き選択信号の信号論理値に応じた方を選択し、これをフレームメモリ4に供給する。

【0028】図3においては、かかる選択信号の信号論理値が「0」である場合には、第1変換回路321からの偽輪郭補正画素データAZを選択してこれをフレームメモリ4に供給する。一方、選択信号の信号論理値が「1」である場合には、第2変換回路323からの偽輪郭補正画素データBZを選択してこれをフレームメモリ4に供給する。

【0029】かかるディザ処理回路31及び偽輪郭補正データ変換回路32の動作によって、例えば、図2における画素G11に対応して供給された画素データD11に基づいて、第1の補正画素データAZ(D11+e)及び第2の補正画素データBZ(D11+c)が生成され、夫々フレームメモリ4に記憶される。又、図2における画素G12に対応した画素データD12に基づいて、第1の補正画素データBZ(D12+b)及び第2の補正画素データAZ(D12+d)が生成され、夫々フレームメモリ4に記憶されるのである。

【0030】フレームメモリ4は、図9に示されるが如く、かかる第1の補正画素データAZ(D11+e)を第1行第1列の画素G11に対応した画像駆動データ、及び上記第1の補正画素データBZ(D12+b)を第1行第2列の画素G12に対応した画像駆動データとして夫々読み出す。又、フレームメモリ4は、図9に示されるが如く、上記第2の補正画素データBZ(D11+c)を第2行第1列の画素G21、第2の補正画素データAZ(D12+d)を第2行第2列の画素G22に対応した画素駆動データとして夫々読み出す。

【0031】この際、上記第1の補正画素データAZ(D11+e)及びBZ(D12+b)は、供給されてきた第1行に対応した画素データを上記画像データ処理回路3

によって画像処理した画像処理画素データである。一方、上記第2の補正画素データBZ(D11+c)及びAZ(D12+d)も々は、上記第1行の画素データに基づいて補間生成された第2行に対応した補間画素データなのである。

【0032】フレームメモリ4は、これら画像処理画素データ及び補間画素データ夫々に対応した画素駆動データを、第1行に相当するものから順に読み出して列電極ドライバ6に供給して行く。かかる動作により、飛越走査によって生成された映像信号に基づいて、非飛越走査態様による表示が実施されるのである。

【0033】

【発明の効果】上記したことから明らかな如く、本発明による駆動装置においては、飛越走査によって生成された映像信号をサンプリングして得た画素データの1つに対し、互いに異なる2つの画像処理を行って画像処理画素データ及び補間画素データを夫々得る。ここで、かかる画像処理画素データを自発光表示器の奇数行及び偶数行のいずれか一方に対応した画素駆動データとすると共に上記補間画素データを奇数行及び偶数行の他方に対応した画素駆動データとして自発光表示器を非飛越走査態様にて駆動する構成としている。

【0034】よって、本発明によれば、飛越走査態様の映像信号を非飛越走査態様の映像信号に変換して表示する際、画像の処理に起因する画面上のノイズ及びドット妨害が低減されて好ましいのである。

【図面の簡単な説明】

【図1】本発明による駆動装置を備えたプラズマディスプレイの概略構成を示す図である。

【図2】画面上における各画素の位置を示す図である。

【図3】画像データ処理回路3の内部動作波形を示す図である。

【図4】ディザ処理回路31の内部構成を示す図である。

【図5】偽輪郭補正データ変換回路32の内部構成を示す図である。

【図6】偽輪郭補正データ変換回路32における第1及び第2モード変換テーブルの一例を示す図である。

【図7】偽輪郭補正データ変換回路32における第1及び第2モード変換テーブルの一例を示す図である。

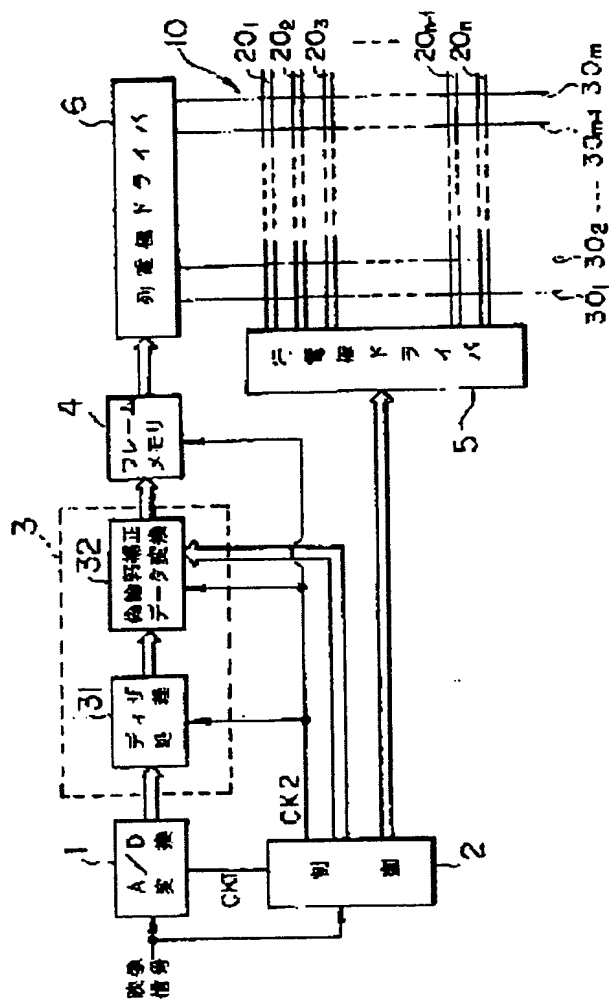
【図8】サブフレームによる発光期間フォーマットを示す図である。

【図9】各画素と補正画素データとの対応の一例を示す図である。

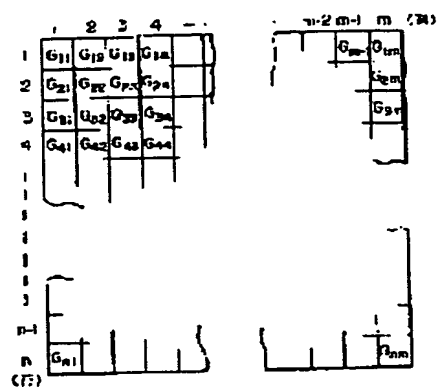
【主要部分の符号の説明】

- 1 A/D変換器
- 2 制御回路
- 3 画像データ処理回路
- 4 フレームメモリ
- 31 ディザ処理回路

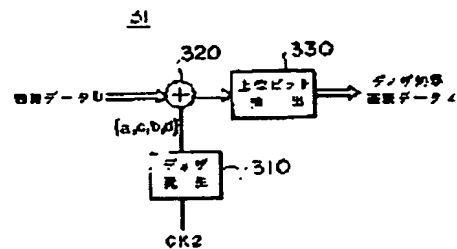
【図1】



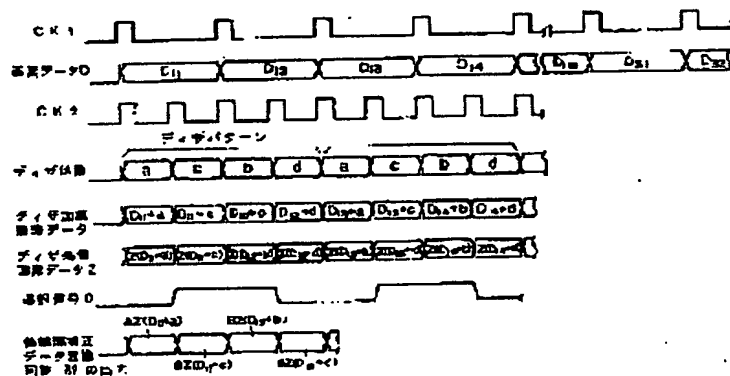
【図2】



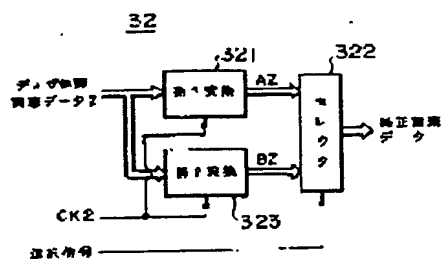
【図4】



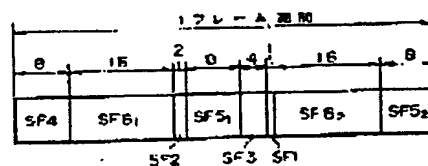
【図3】



【図5】



【図6】





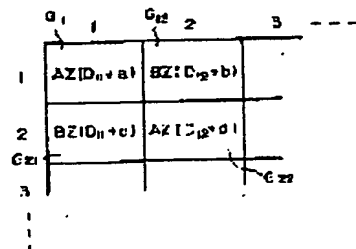
【図6】

階 レベル	データ ビット	第1変換テーブル		第2変換テーブル	
		AZビット	BZビット	AZビット	BZビット
0	000000	00001100	10110000	00001100	10110000
1	000001	00001101	00110000	00001101	00110000
2	000010	00001100	00110001	00001100	00110001
3	000011	00001101	00110001	00001101	00110001
4	000100	00011100	00110000	00011100	00110000
5	000101	00011101	00110000	00011101	00110000
6	000110	00011100	00110001	00011100	00110001
7	000111	00011101	00110001	00011101	00110001
8	001000	00101100	00110000	00101100	00110000
9	001001	00101101	00110000	00101101	00110000
10	001010	00101100	00110001	00101100	00110001
11	001011	00101101	00110001	00101101	00110001
12	001100	00111100	00110000	00111100	00110000
13	001101	00111101	00110000	00111101	00110000
14	001110	00111100	00110001	00111100	00110001
15	001111	00111101	00110001	00111101	00110001
16	010000	01001100	00110000	01001100	00110000
17	010001	01001101	00110000	01001101	00110000
18	010010	01001100	00110001	01001100	00110001
19	010011	01001101	00110001	01001101	00110001
20	010100	01011100	00110000	01011100	00110000
21	010101	01011101	00110000	01011101	00110000
22	010110	01011100	00110001	01011100	00110001
23	010111	01011101	00110001	01011101	00110001
24	011000	01101100	00110000	01101100	00110000
25	011001	01101101	00110000	01101101	00110000
26	011010	01101100	00110001	01101100	00110001
27	011011	01101101	00110001	01101101	00110001
28	011100	01111100	00110000	01111100	00110000
29	011101	01111101	00110000	01111101	00110000
30	011110	01111100	00110001	01111100	00110001
31	011111	01111101	00110001	01111101	00110001

【図7】

階 レベル	データ ビット	第1変換テーブル		第2変換テーブル	
		AZビット	BZビット	AZビット	BZビット
32	100000	01011100	00110000	01011100	00110000
33	100001	01011101	00110000	01011101	00110000
34	100010	01011100	00110001	01011100	00110001
35	100011	01011101	00110001	01011101	00110001
36	100100	01011100	00110000	01011100	00110000
37	100101	01011101	00110000	01011101	00110000
38	100110	01011100	00110001	01011100	00110001
39	100111	01011101	00110001	01011101	00110001
40	101000	01011100	00110000	01011100	00110000
41	101001	01011101	00110000	01011101	00110000
42	101010	01011100	00110001	01011100	00110001
43	101011	01011101	00110001	01011101	00110001
44	101100	01011100	00110000	01011100	00110000
45	101101	01011101	00110000	01011101	00110000
46	101110	01011100	00110001	01011100	00110001
47	101111	01011101	00110001	01011101	00110001
48	110000	01011100	00110000	01011100	00110000
49	110001	01011101	00110000	01011101	00110000
50	110010	01011100	00110001	01011100	00110001
51	110011	01011101	00110001	01011101	00110001
52	110100	01011100	00110000	01011100	00110000
53	110101	01011101	00110000	01011101	00110000
54	110110	01011100	00110001	01011100	00110001
55	110111	01011101	00110001	01011101	00110001
56	111000	01011100	00110000	01011100	00110000
57	111001	01011101	00110000	01011101	00110000
58	111010	01011100	00110001	01011100	00110001
59	111011	01011101	00110001	01011101	00110001
60	111100	01011100	00110000	01011100	00110000
61	111101	01011101	00110000	01011101	00110000
62	111110	01011100	00110001	01011100	00110001
63	111111	01011101	00110001	01011101	00110001

【図9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**